

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256539

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 29/78

H01L 21/318

H01L 21/336

(21)Application number : 09-055275

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.03.1997

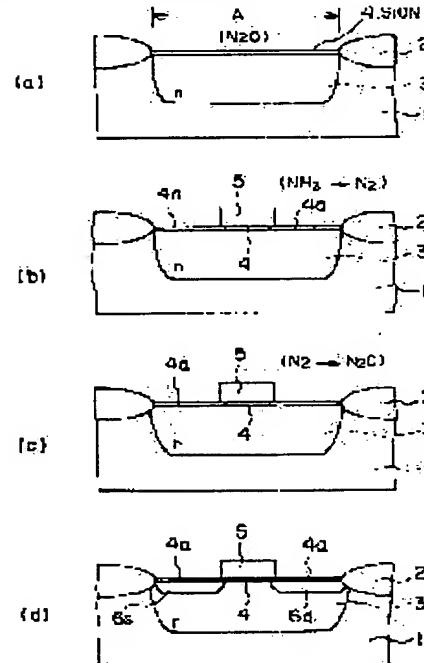
(72)Inventor : HORI MITSUAKI
TAMURA NAOYOSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the punch-through of impurity ions through a gate insulation layer to reduce the threshold variation of the driving voltage by providing an oxide nitride insulation layer which covers source/drain regions and has an N concn. distribution in a different layer thickness direction from that of the gate insulation film.

SOLUTION: A device is produced by forming an element separating oxide film 2, N-well 3, first Si oxide nitride layer 4 and gate electrode 5 on an Si substrate 1, heating the substrate in a quick heat treating chamber, exposing to an ammonia-contg. atmosphere, replacing it with N in the chamber to form a second high-N-concn. Si oxide nitride layer 4a at both sides of the gate electrode 5, the N concn. distribution in this layer 4a being different from that in the first Si oxide nitride layer 4 just beneath the gate electrode 5, and introducing a p-type impurity such as B to form a p-type source region 6s and drain region 6d.



LEGAL STATUS

[Date of request for examination] 28.08.2000

[Date of sending the examiner's decision of rejection] 07.02.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256539

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.⁶H 01 L 29/78
21/318
21/336

識別記号

F I

H 01 L 29/78
21/318
29/783 0 1 X
C
3 0 1 Y

審査請求 未請求 請求項の数10 O.L (全 10 頁)

(21)出願番号

特願平9-55275

(22)出願日

平成9年(1997)3月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 堀 充明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 田村 直義

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

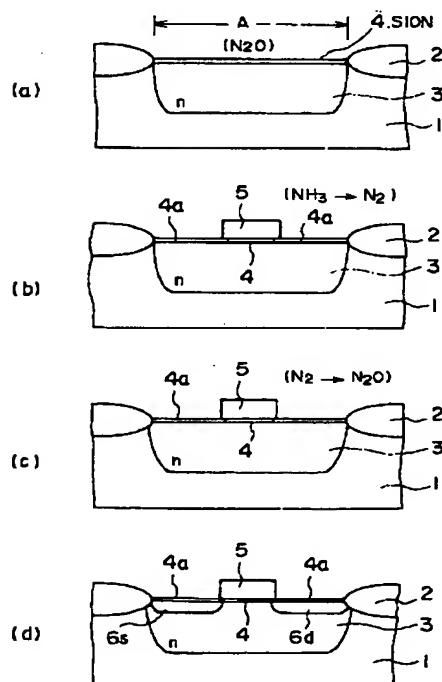
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】M I S (metal insulator semiconductor)型電界効果トランジスタを有する半導体装置に関し、ホットキャリア耐性をさらに高くするとともに、不純物イオンのゲート絶縁層の突き抜けを防止してトランジスタの駆動電圧の閾値のバラツキを小さくすること。

【解決手段】半導体基板1上に形成された第1の窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース/ドレイン領域6s, 6dと、前記半導体基板1表面のうち前記ソース/ドレイン領域6s, 6dを覆い、かつ、前記ゲート絶縁層4とは異なる層厚方向での窒素濃度分布を有する窒化酸化絶縁層4aとを含む。



【特許請求の範囲】

【請求項1】半導体基板上に形成された第1の窒化酸化物よりなるゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極と、前記ゲート電極の両側方の前記半導体基板に形成されたソース／ドレイン領域と、前記半導体基板表面のうち前記ソース／ドレイン領域を覆い、かつ、前記ゲート絶縁層とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層とを有することを特徴とする半導体装置。

【請求項2】前記窒化酸化絶縁層の前記窒素濃度は、前記半導体基板と前記窒化酸化絶縁層との界面に偏析していることを特徴とする請求項1記載の半導体装置。

【請求項3】前記ゲート電極の下の前記ゲート絶縁層内の窒素濃度分布は、前記半導体基板と前記窒化酸化絶縁層との界面に偏析せずに、層厚方向にブロードに存在することを特徴とする請求項1記載の半導体装置。

【請求項4】前記ゲート電極の下の前記ゲート絶縁層内の窒素濃度分布は、前記ゲート電極と前記ゲート絶縁層との界面に偏析していることを特徴とする請求項1記載の半導体装置。

【請求項5】半導体基板上に形成され、且つ膜厚方向の窒素分布がブロードな窒化酸化物よりなるゲート絶縁層と、

前記ゲート絶縁層上に形成されたゲート電極と、前記ゲート電極の両側方の前記半導体基板に形成されたソース／ドレイン領域と、

前記半導体基板表面のうち前記ソース／ドレイン領域を覆う絶縁層とを有することを特徴とする半導体装置。

【請求項6】前記絶縁層は、酸化シリコンから形成されていることを特徴とする請求項5記載の半導体装置。

【請求項7】半導体基板の主面に窒化酸化物よりなるゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上にゲート電極を形成する工程と、前記ゲート電極の両側方の前記半導体基板の主面に前記ゲート絶縁層とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層を形成する工程と、

前記ゲート電極をマスクにして前記半導体基板に不純物を導入してソース領域及びドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】前記ゲート絶縁層を形成する工程において、前記窒化酸化物中の窒素濃度を層厚方向に対してブロードに分布させることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】前記ゲート絶縁層を形成する工程において、前記窒化酸化物中の窒素濃度を前記ゲート絶縁層と前記ゲート電極との界面に偏析させることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】前記窒化酸化絶縁層を形成する工程において、前記窒化酸化絶縁層中の窒素濃度を前記窒化酸化

絶縁層と前記半導体基板との界面に偏析させることを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法に関し、より詳しくは、MIS (metalinsulator semiconductor)型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年の半導体素子の微細化、高集積化によってゲート絶縁層の薄層化が進んでいて、これに伴い、半導体素子のホットキャリア耐性の低下、及び、ゲート電極構成材料に含まれる不純物の基板への抜けが問題となっている。MIS型電界効果トランジスタ、例えばPMOSトランジスタは、一般に、例えば図9(a)～(c)に示すような工程を経て形成される。

【0003】まず、図9(a)に示すように、シリコン基板101の素子分離領域の表面を選択酸化して素子分離用酸化層(LOCOS)102を形成し、ついで、素子分離用酸化層102に囲まれた素子形成領域にn型不純物を導入してn型ウェル103を形成し、ついで、シリコン基板101表面の素子形成領域を熱酸化してゲート絶縁層104を形成する。

【0004】次に、ゲート絶縁層104及び素子分離用酸化層の上に多結晶シリコン層を形成した後に、その多結晶シリコン層をフォトリソグラフィーによりパターニングして図9(b)に示すようにゲート電極105を形成する。その後に、図9(c)に示すように、イオン注入法などによってホウ素などのp型不純物をゲート電極105、シリコン基板1に導入し、これによりゲート電極105の導電率を高くするとともに、ゲート電極105の両側方に低濃度の不純物拡散層106s、106dを形成する。

【0005】続いて、ゲート電極105の側方に絶縁性のサイドウォール107を形成した後に、ゲート電極105及びサイドウォール107をマスクに使用してゲート電極105の側方に高濃度の不純物拡散層108s、108dを形成する。その高濃度の不純物拡散層107s、107dと低濃度の不純物拡散層106s、106dによってLDD (lightly doped drain)構造のソース領域109s、ドレイン領域109dが構成される。

【0006】ところで、ゲート絶縁層104の材料としてシリコン酸化層を使用しているが、不純物としてホウ素をシリコン基板にイオン注入すると、その不純物がゲート電極105を突き抜けてn型ウェル103の表層のn型不純物濃度を低下させることになる。このため、低濃度のp型の不純物拡散層106s、106dとn型ウェル103によるpn接合は、その表層よりも深い部分で発生してしまう。また、MOSトランジスタでは、微細化が進むにつれてより一層のホットキャリア耐性の向上が要求されている。

(3)

特開平10-256539

【0007】このような事情から、ゲート絶縁層として窒化酸化シリコン(SiON)層を用いることにより、その窒化酸化シリコン層によってゲート電極でのホウ素イオンの突き抜けを防止するという報告や、半導体基板のうちソース領域及びドレイン領域の上面に窒化酸化層を形成してホットキャリア耐性を向上させるという報告がある。

【0008】このように窒化酸化シリコン層を用いる主な2つの目的を同時に達成するためには、半導体基板の主面上にゲート絶縁層として形成される窒化酸化シリコン層を、ソース領域及びドレイン領域を覆う絶縁層としてそのまま使用することが行われている。そのようにドレイン領域の上に窒化酸化シリコン層を形成すると、熱酸化シリコン層に比べてドレインアバランシェホットキャリアに強くなる。そして、そのような効果を高めようとする場合には窒化酸化シリコン層中の窒素の濃度を高くする必要がある。

【0009】しかし、ゲート絶縁層に窒素が多く含まれていると、正孔又は電子のトラップ数が多くなり、実際にはチャネルホットエレクトロン又はチャネルホットホールの耐性を弱めることになる。また、窒素がゲート絶縁層に導入されると、導入されない場合に比べてトランジスタ特性の閾値電圧が負の方向にシフトしてしまう。

【0010】このような問題に対して、例えば特開平5-211330号公報においては、電界効果トランジスタのソース／ドレイン領域の半導体基板の窒化酸化シリコン層の窒化濃度をゲート電極の下の窒化酸化シリコン層の窒化濃度よりも濃くすることによってホットキャリア耐性を高くし、かつ、低ゲート電圧で使用しても電流駆動率が大きくなるということが記載されている。

【0011】

【発明が解決しようとする課題】しかし、ゲート電極直下の絶縁層の窒化濃度が十分高くなれば、ゲート電極及びゲート絶縁層でのホウ素イオンの突き抜けを防止できないので、ゲート絶縁層を構成する窒化酸化シリコン層の窒化濃度を単に低くしただけではそのような問題の解決は期待できない。

【0012】本発明の目的とするところは、ホットキャリア耐性をさらに高くするとともに、不純物イオンのゲート絶縁層の突き抜けを防止してトランジスタの駆動電圧の閾値のバラツキを小さくすることができる半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

(手段) 上記した課題は、図1に例示するように、半導体基板1上に形成された第1の窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース／ドレイン領域6s, 6dと、前記半導体基板1表面のうち前記ソース／ドレイン領域6s, 6dを覆う絶縁層とを有することを特徴とする半導体装置によって解決する。

6s, 6dを覆い、かつ、前記ゲート絶縁層4とは異なる層厚方向での窒素濃度分布を有する窒化酸化絶縁層4aとを有することを特徴とする半導体装置によって解決する。

【0014】上記した半導体装置において、図4～図6に例示するように、前記窒化酸化絶縁層4aの前記窒素濃度は、前記半導体基板1と前記窒化酸化絶縁層4aとの界面に偏析していることを特徴とする。上記した半導体装置において、図3に例示するように、前記ゲート電極5の下の前記ゲート絶縁層4内の窒素濃度分布は、前記半導体基板1と前記窒化酸化絶縁層4aとの界面に偏析せずに、層厚方向にブロードに存在することを特徴とする。

【0015】上記した半導体装置において、前記ゲート電極5の下の前記ゲート絶縁層4内の窒素濃度分布は、前記ゲート電極5と前記ゲート絶縁層4との界面に偏析していることを特徴とする。また、上記した課題は、半導体基板1上に形成され、且つ膜厚方向の窒素分布がブロードな窒化酸化物よりなるゲート絶縁層4と、前記ゲート絶縁層4上に形成されたゲート電極5と、前記ゲート電極5の両側方の前記半導体基板1に形成されたソース／ドレイン領域7s, 7dと、前記半導体基板1表面のうち前記ソース／ドレイン領域7s, 7dを覆う絶縁層とを有することを特徴とする半導体装置によって解決する。この場合、前記絶縁層は酸化シリコンから形成されている。

【0016】また、上記した課題は、図1(a)～(d)に例示するように、半導体基板1の正面に窒化酸化物よりなるゲート絶縁層4を形成する工程と、前記ゲート絶縁層4の上にゲート電極5を形成する工程と、前記ゲート電極5の両側方の前記半導体基板1の正面に前記ゲート絶縁層4とは異なる層厚方向の窒素濃度分布を有する窒化酸化絶縁層4aを形成する工程と、前記ゲート電極5をマスクにして前記半導体基板1に不純物を導入してソース領域6s及びドレイン領域6dを形成する工程とを備えたことを特徴とする半導体装置の製造方法により解決する。

【0017】その半導体装置の製造方法において、前記ゲート絶縁層4を形成する工程において、前記窒化酸化物中の窒素濃度を層厚方向に対してブロードに分布させることを特徴とする。その半導体装置の製造方法において、前記ゲート絶縁層4を形成する工程において、前記窒化酸化物中の窒素濃度を前記ゲート絶縁層4と前記ゲート電極5との界面に偏析させることを特徴とする。

【0018】その半導体装置の製造方法において、前記窒化酸化絶縁層4aを形成する工程において、前記窒化酸化絶縁層4a中の窒素濃度を前記窒化酸化絶縁層4aと前記半導体基板1との界面に偏析させることを特徴とする。次に、本発明の作用について説明する。本発明によれば、MISトランジスタの半導体基板とゲート電極

の間のゲート絶縁層として使用する第1の窒化酸化層内の膜厚方向の窒素濃度分布と、ゲート電極の両側方でソース／ドレイン領域を覆う絶縁層として使用する第2の窒化酸化層内の膜厚方向の窒素濃度分布を異ならせるようにした。

【0019】本発明者らは、MISトランジスタの閾値のシフト量、不純物イオンの突き抜け防止、ホットキャリア耐性は、それぞれシリコン基板とゲート絶縁層の界面での窒素濃度や窒素濃度分布に大きく依存しており、多量の窒素の導入はロット間のトランジスタ特性のバラツキも大きくさせる要因となることを見い出し、さらに、窒素濃度が膜厚方向の分布を調整することにより、MISトランジスタ特性を向上させる最適な膜が存在することを実験により確認した。

【0020】例えば、第1の窒化酸化層の窒素濃度分布としては、プロードに窒素が分布したものや、ゲート電極との界面に窒素が偏析したものがある。さらに、第2の窒化酸化層の窒素濃度分布としては半導体基板との界面に窒素が偏析したものがある。窒素濃度がプロードに分布するということは、第1の窒化酸化層と半導体基板との界面の近傍での窒素濃度が膜厚方向に実質的に変化しないような分布を有することを示している。

【0021】これにより、第1の窒化酸化層での窒素濃度分布により、不純物イオン注入の際に突き抜けにくく且つキャリアトラップが少なくするとともに、第2の窒化シリコン層での窒素濃度分布によりホットキャリア耐性を向上することができる。また、ゲート絶縁層の窒化濃度分布をプロードに形成するとともに、ソース／ドレイン領域を覆う絶縁層として酸化シリコン層を用いてもよく、これによればゲート電極の縁部での耐圧劣化がシリコン絶縁層によって防止され、しかも安定した膜厚を得ることができるので、LDL構造のソース／ドレイン領域の浅い不純物拡散層の深さを安定させることができる。

【0022】なお、MISトランジスタの基板の材料としては、シリコン、ゲルマニウムなどの単元素の半導体から構成されるものばかりでなく、化合物半導体から構成されるものも含む。

【0023】

【発明の実施の形態】そこで、以下に本発明の実施の形態を図面に基づいて説明する。まず、ソース／ドレイン領域にLDL構造の採用しないMOSトランジスタの製造工程を第1例として、LDL構造のソース／ドレイン領域を有するMOSトランジスタの製造工程を第2例として説明する。

【0024】第1例

図1、図2は、LDL構造を有しないソース領域とドレイン領域を有するMOSトランジスタの形成工程を示す断面図である。まず、図1(a)に示す状態になるまでの工程を説明する。シリコン(半導体)基板1の上には、

選択酸化法によって層厚250nmの素子分離用酸化層2が形成されており、素子分離用酸化層2に囲まれた領域は、素子形成領域Aとなっている。

【0025】その素子形成領域Aには、素子分離用酸化層2をマスクにして、燐、砒素などのn型不純物が導入され、これによりシリコン基板1の素子形成領域AにはNウェル3が形成されている。次に、シリコン基板1を縦型拡散炉(不図示)内に入れ、その中において950℃の酸化窒素(N₂O)ガス雰囲気にシリコン基板1表面をさらすことにより、シリコン基板1表面の素子形成領域Aに層厚6nmの第1の窒化酸化シリコン層4を形成する。

【0026】その後に、シリコン基板1の第1の窒化酸化シリコン層4及び素子分離用酸化層2の上に多結晶シリコン層をCVDによって180nmの厚さに成長する。続いて、多結晶シリコン層をフォトリソグラフィーによってパターニングし、これにより素子形成領域Aの中央を通るゲート電極5を形成する。素子形成領域Aのうちゲート電極5の両側方の領域は、それぞれソース／ドレイン領域となる。

【0027】次に、急速熱処理装置(不図示)のチャンバ内にシリコン基板1を入れた状態で、そのチャンバ内を850℃のアンモニア(NH₃)ガスを含む雰囲気に設定し、その雰囲気内にシリコン基板1を60秒間晒した後に、チャンバ内のガスを窒素(N₂)に置換する。そのNH₃ガスによれば、図1(b)に示すように、ゲート電極5の両側方の第1の窒化酸化シリコン層4の窒素濃度が高くなつて、高窒素濃度の第2の窒化酸化シリコン層4aとなる。

【0028】その後に、チャンバ内の窒素ガスをN₂Oガスに置換し、この状態でチャンバ内の温度を900℃に上昇して、図1(c)に示すように、シリコン基板1をその雰囲気内に入れて60秒間維持する。ここまで工程においては、1次のNH₃の雰囲気の温度や処理時間を変化させることにより、ゲート電極5の両側の第2の窒化酸化シリコン層4の窒素濃度を制御することができ、しかも窒化酸化シリコン層4とシリコン基板1との界面の部分で局所的に窒素濃度を制御できる。その界面では、窒素とシリコンとの結合が容易となるからである。

【0029】即ち、ゲート電極5の両側方にある第2の窒化酸化シリコン層4a及びシリコン基板1中の窒素濃度のピークは、第2の窒化酸化シリコン層4aとシリコン基板1との界面寄りに存在するよう制御する。これにより、ゲート電極5の両側の第2の窒化酸化シリコン層4a中の窒素濃度分布が、ゲート電極5の直下にある第1の窒化酸化シリコン層(ゲート絶縁層)4a中の窒素濃度分布と異なることになる。

【0030】なお、図1(c)に示したように、NH₃ガスをN₂Oに換えた後の2回目の窒化酸化処理は、主に、NH₃ガスの雰囲気において第2の窒化酸化シリコン層4a

に導入された水素元素を除去する目的で行っている。統いて、ゲート電極5及び素子分離用酸化層2をマスクに使用して、ホウ素等のp型不純物をゲート電極の両側のシリコン基板1に導入し、これによりp型のソース領域6s及びドレイン領域6dを形成する。不純物拡散層6s, 6dの端部は、ゲート電極5の下の縁部に広がった第2の窒化酸化シリコン層4bによって覆われるいことになる。

【0031】その後に、特に図示しないが、全体に層間絶縁層を形成し、ついで層間絶縁層にコンタクトホールを形成し、層間絶縁層の上に形成する配線をコンタクトホールを通してソース領域6s、ドレイン領域6d、又はゲート電極5に接続することになる。

第2例

次に、ソース領域及びドレイン領域としてLDD構造の不純物拡散層を採用するMOSトランジスタの製造工程について説明する。

【0032】まず、第1例と同様にして、シリコン基板1の素子形成領域Aの表面に第1の窒化酸化シリコン層4を形成し、ついでシリコン基板1の素子形成領域Aにゲート電極5を形成した後に、図2(a)に示すように、ゲート電極5及び素子分離用酸化層2をマスクに使用してp型不純物をシリコン基板1に導入して浅い低濃度の不純物拡散層7s, 7dを形成する。

【0033】その後に、第1の窒化酸化シリコン層4と低濃度の不純物拡散層(シリコン基板)7s, 7dの界面近傍に窒素のピークが存在するように、第1例と同様な条件で第1の窒化酸化シリコン層4の周囲の雰囲気をNH₃とN₂とN₂Oの順に変えてゲート電極5の両側方の第1の窒化酸化シリコン層4の一部に窒素を導入する。ここで、第1の窒化酸化シリコン層4のうち窒素を増加させた部分を第2の窒化酸化シリコン層4bとする。この第2の窒化酸化シリコン層4bは、ゲート電極5の下の縁部にも広がって形成され、これにより、低濃度の不純物拡散層7s, 7dの端部を覆うことになる。

【0034】これにより、ゲート電極5の両側の第2の窒化酸化シリコン層4b中の窒素濃度分布が、ゲート電極5の直下にある第1の窒化酸化シリコン層(ゲート絶縁層)4中の窒素濃度分布と異なることになる。統いて、CVDによりSiO₂層を全体に成長して、ゲート電極1及びシリコン基板1をSiO₂によって覆う。

【0035】次に、反応性イオンエッティングによってSiO₂層を垂直方向にエッティングし、これにより、図2(c)に示すように、ゲート電極5の側部のSiO₂層を絶縁性のサイドウォール8として残す。その後に、ゲート電極5及びサイドウォール8をマスクにしてp型不純物をシリコン基板1に導入して、ゲート電極5及びサイドウォール8の外方のシリコン基板1に深い高濃度の不純物拡散層9s, 9dを形成する。そのような高濃度の不純物拡散層9s, 9dと上記した低濃度の不純物拡散層7s,

7dによってLDD構造のソース領域10s及びドレン領域10dが構成される。

【0036】その後に、特に図示しないが、層間絶縁層を形成し、ついで層間絶縁層にコンタクトホールを形成し、層間絶縁層の上に配線をコンタクトホールを通してソース領域10s、ドレン領域10d又はゲート電極5に接続する。なお、上記した第1例及び第2例では、ゲート電極5の両側の第1の窒化酸化シリコン層4を除去しない工程を説明したが、ゲート電極5を形成した後に、ゲート電極5の両側の第1の窒化酸化シリコン層4を除去し、その後に、シリコン基板1の表面に再び第1の窒化酸化シリコン層4を成長するようにしてもよい。

【0037】また、上記した説明では、シリコン基板と窒化酸化シリコン層との界面に窒素濃度のピークを付与するために、急速熱処理装置においてNH₃ガス雰囲気に窒化酸化シリコン層を晒し、ついで、NH₃ガスをN₂ガスに置換した後に、窒化酸化シリコン層をN₂Oガスに晒す方法を採用している。しかし、その他の方法を採用してもよく、例えば、急速熱処理装置においてN₂Oガス雰囲気で処理する方法、NOガス雰囲気で処理する方法を用いてもよい。また、それらの場合、急速熱処理装置の代わりに縦型拡散炉を用いてもよい。

【0038】以上、2つのMOSトランジスタの製造工程について説明したが、それらの製造工程において従来と異なる点は、ゲート絶縁層を構成する第1の窒化酸化シリコン層4とソース/ドレン領域を覆う第2の窒化酸化シリコン層4a, 4bの窒素分布を異なるようにしたことである。そこで次に、上記した第1の窒化酸化シリコン層4と第2の窒化酸化シリコン層4a, 4bの窒素分布について説明する。

【0039】まず、縦型拡散炉を用いてN₂Oガスを含む温度950°Cの雰囲気で第1の窒化酸化窒化シリコン層をシリコン基板の上に6nmの厚さに形成し、これをSIMS分析したところ、図3に示すような分析結果が得られた。この酸化窒化シリコン層では、窒素の濃度分布がブロードとなっていることがわかる。次に、縦型拡散炉を用いて希釈酸素雰囲気中で層厚約5.3nmの酸化シリコン層を形成し、その後に急速熱処理装置を用いて酸化シリコン層をNH₃ガスを含む雰囲気に晒して酸化シリコン層を酸化窒化シリコン層に変え、ついで、急速熱処理装置の炉内のNH₃ガスをN₂ガスに置換した後に、その炉内にNO₂ガスを導入して900°Cで酸化窒化シリコン層を60秒間その雰囲気に晒して層中の水素を除去し、その後の酸化窒化シリコン層をSIMS分析したところ、図4～図6に示すような分析結果が得られた。

【0040】図4～図6は、NH₃ガスを含む雰囲気に酸化シリコン層をさらす際の温度を、750°C、800°C、850°Cと変えた場合の違いを示している。これらの酸化窒化シリコン層では、その内部の窒素の濃度分布の層厚方向の変化が図3に比べて大きく、しかもシリコ

ン基板と塗化酸化シリコンの界面に尖鋭なピークをもつていることに特徴がある。しかも、 NH_3 ガス雰囲気中の温度を高くするほど、窒素の含有量が増えてその界面における窒素濃度が大きくなることがわかる。

【0041】次に、第1及び第2の塗化酸化シリコン層4, 4aの窒素分布の違いがMOSトランジスタにどのような影響を与えるかを、実験結果に基づいて、詳細に説明する。塗化酸化シリコン層中の窒素濃度とその分布が、p型MOSトランジスタの閾値電圧にどのような影響を及ぼし、しかも、ゲート電極の下方でのホウ素イオン注入の基板への抜けの防止にどのような影響を及ぼすかを調査した。この調査においては、ゲート絶縁層として一般に使用されているような窒素を含まない酸化シリコン層も比較対象に含めている。

【0042】実験のために用いた複数のp型MOSトランジスタのゲート絶縁層は、成層条件の違いによって6つの種類を用いた。第1のMOSトランジスタのゲート絶縁層は、縦型拡散炉において N_2O ガスを含む950°Cの雰囲気でシリコン基板表面に層厚6nmで形成した塗化酸化シリコン層からなる。その塗化酸化シリコン層の窒素濃度分布は図3のようである。

【0043】第2のMOSトランジスタのゲート絶縁層は、縦型拡散炉において希釈酸素雰囲気でシリコン基板表面に層厚6nmで形成した窒素を含まないピュアな酸化シリコン層である。第3のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の N_2O ガスを含む1000°Cの雰囲気でシリコン基板表面の層厚5nmの酸化シリコン(SiO_2)層を60秒間さらすことによって、その酸化シリコン層を塗化酸化シリコン層に変化させたものである。この場合、塗化酸化シリコン層の層厚は、窒素とシリコンの化合によって6nmに増加している。

【0044】第4のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の NH_3 ガスを含む750°Cの雰囲気でシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、ついで、その雰囲気内のガスを N_2 に置換した後に、その雰囲気内に N_2O を導入して900°Cの温度で塗化酸化シリコン層を晒した工程を経た層からなる。この場合、最終的に得られた塗化酸化シリコン層の層厚は窒素とシリコンの化合によって6nmに増えている。その塗化酸化シリコン層の窒素濃度分布は図4のようである。

【0045】第5のMOSトランジスタのゲート絶縁層は、急速熱処理装置内の NH_3 ガスを含む800°Cの雰囲気でシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、その後に、第4のMOSトランジスタのゲート絶縁層の作製と同じ条件で N_2 ガス、 N_2O ガス中に順に晒し、これにより得た層厚6nmの塗化酸化シリコン層からなる。その塗化酸化シリコン層の窒素濃度分布は図5のようである。

【0046】第6のMOSトランジスタのゲート絶縁層

は、急速熱処理装置内の NH_3 ガスを含む850°Cの雰囲気でシリコン基板表面の層厚5.3nmの酸化シリコン層を晒し、その後に、第4のMOSトランジスタのゲート絶縁層と同じ条件で N_2 ガス、 N_2O ガス中に順に晒し、これにより得た層厚6nmの塗化酸化シリコン層からなる。その塗化酸化シリコン層の窒素濃度分布は図6のようである。

【0047】以上のような第1～第6のMOSトランジスタにホウ素をイオン注入した場合の閾値電圧を測定した。そのイオン注入は、第1～第6のMOSトランジスタに対してホウ素イオン(B^+)とフッ化ホウ素イオン(BF_2^+)の2種類行った。 B^+ のイオン注入の条件(以下、第1の注入条件という)は、ゲート電極の下の層厚6nmのピュアな酸化シリコン層をホウ素イオンが突き抜けない条件であって、加速エネルギーを9keV、ドーズ量を $2 \times 10^{15} \text{ atoms/cm}^2$ とした。また、 BF_2^+ のイオン注入の条件(以下、第2の注入条件という)は、ゲート電極の下の層厚6nmのピュアな酸化シリコン層をホウ素イオンが突き抜ける条件であり、加速エネルギーを30keV、ドーズ量を $2 \times 10^{15} \text{ atoms/cm}^2$ とした。

【0048】また、その実験で使用したMOSトランジスタのゲート長(ソース・ドレイン方向の長さ)は0.5μm、ゲート幅(ゲート長に対して直交する方向の幅)は5μmであり、ゲート電極に印加する電圧は0.5Vから-2.5VでON、OFFし、さらに、ドレン電圧を-2.5Vに設定した。また、閾値電圧は面内において200点測定し、その平均を求めた。

【0049】これにより図7(a), (b)のような結果が得られた。なお、図7(a), (b)において、第2の注入条件で BF_2^+ をイオン注入した後に温度800°Cでシリコン基板を60分間加熱している。これは、熱によりホウ素を拡散させることにより、ホウ素がゲート絶縁層を抜け易くするためである。ゲート絶縁層がピュアな酸化シリコンから構成される場合には、当然のことながら、窒素に依存するゲート電圧の閾値の変動は起こらないことになる。そこで、ピュアな酸化シリコン層をゲート絶縁層とした第2のMOSトランジスタについて、第1の注入条件と第2の注入条件による閾値電圧 V_{th} への影響を見ると、図7(a)の界面窒素濃度0で示すように、第2の注入条件による方が第1の注入条件の場合よりもプラス側に0.4Vだけ大きくなつた。即ち、ゲート電極及びゲート絶縁層のホウ素イオンの突き抜けによって閾値電圧には0.4Vの差が生じることがわかる。

【0050】これに対して、第1のMOSトランジスタのゲート絶縁層のように、その内部に窒素を含み、かつその窒素濃度が層厚方向にブロードに広がっている場合には、第1の注入条件と第2の注入条件では、図7(b)に示すように、閾値電圧 V_{th} は同じであつて差が生じるとはなかつた。すなわち、第2の注入条件による結果と第1の注入条件による結果が同じということは、第2の

注入条件によってもホウ素がゲート絶縁層を突き抜けないといふことを意味している。

【0051】また、ゲート絶縁層と基板との界面に窒素濃度のピークがある第3～第6のMOSトランジスタを比較すると、図7(a)に示すように、ホウ素イオンの抜けが生じない第1の注入条件では、ゲート絶縁層を構成する窒化酸化シリコン層中の窒素濃度が増えるにつれて閾値電圧がマイナス側にシフトしていることがわかる。さらに、第3～第6のMOSトランジスタを比較すると、ホウ素イオンの抜けが生じる第2の注入条件では、第1の注入条件と同じように、ゲート絶縁層を構成する窒化酸化シリコン層中の窒素濃度が増えるにつれて閾値電圧がマイナス側にシフトしているが、第1の注入条件による場合よりもプラス側にシフトしている。プラス側にシフトするのは、ホウ素イオンがゲート絶縁層を突き抜けてシリコン基板に入り込んでいるからである。

【0052】さらに、シリコン基板と窒化酸化シリコン層の境界の窒素濃度が10%以上とかなり高濃度な窒素が導入されるようになると、第1の注入条件を行ったMOSトランジスタと第2の注入条件を行ったMOSトランジスタのそれぞれの閾値電圧V_{th}が一致するようになる。閾値電圧V_{th}が一致するということは、窒化酸化シリコン層のホウ素の抜けが防止されることを意味する。

【0053】これに対して、第1のMOSトランジスタにおいては、図7(b)に示すように、ホウ素を第1の注入条件でイオン注入しても第2の注入条件でイオン注入しても、同じ閾値電圧V_{th}が得られ、その閾値電圧V_{th}は、図7(a)に示す界面窒素濃度が2%の場合と同じとなり、しかも、ピュアな酸化シリコンのゲート絶縁層を有する第2のMOSトランジスタの閾値電圧に比べてわずか約0.1Vだけマイナス側にシフトしている。そのシフトは、ゲート絶縁層中の窒素によるものと考えられる。

【0054】このように、窒素濃度が層厚方向にブロードに変化している窒化酸化シリコン層中では、不純物イオンの突き抜けが防止されるとともに、閾値電圧の変動も抑制される。しかも、その窒化酸化シリコン層中の窒素の面内分布もほぼ均一となっていた。その窒化酸化シリコン層とシリコン基板の界面での窒素濃度は低くてもそれらの効果があるので、窒素によるキャリアトラップの数が少なくなってトランジスタの特性の変動が抑制される。

【0055】これに対して、ソース/ドレイン領域では、窒素の濃度分布のピークがシリコン基板と窒化酸化シリコン層の境界に存在するので、ホットキャリアをブロックするためには十分である。しかも、そのピークを高くしてもゲート電圧の閾値の変動には殆ど影響を及ぼさないので、そのピークの窒素濃度を高くすることによってホットキャリア耐性をさらに向上させることができ

る。

【0056】したがって、上記したような第1例及び第2例で説明した工程を経て形成されたMOSトランジスタは、ゲート電極の下のゲート絶縁層によって不純物イオンの突き抜けを防止する一方で、ゲート電極の側方の絶縁層によってホットキャリア耐性を高くすることができる。以上の説明では、層厚6nmのゲート絶縁層について議論してきたが、次世代の半導体装置に用いられる極薄のゲート絶縁層についても有効である。例えば、層厚4.2nmの窒化酸化シリコン層について、縦型拡散炉内の900°CのN₂Oガスを含む900°Cの雰囲気にシリコン基板をさらすことによって、層中に約2.5%程度の窒素濃度がブロードに存在する窒化酸化シリコン層の形成が可能になり、その窒化酸化シリコンの元素分布は図8のようになつた。この図8及び上記した図3～図6において、窒素濃度はオージェ分析による値を基にして検量線を引いて、SIMS分析結果の強度からまとめた大きさである。

【0057】なお、ゲート電極の下のゲート絶縁層を窒化酸化絶縁物によって形成する場合には、ゲート電極とゲート絶縁層の界面に窒素濃度のピークが存在するようにもよい。また、上記した説明では、不純物としてホウ素を用いたが、その他のp型不純物、或いは砒素、磷などのn型不純物を用いてもよい。

【0058】さらに、上記した実施形態の他に、ゲート電極の下のゲート絶縁層を窒化酸化シリコンから形成し、その窒素濃度分布をブロードにするとともに、ソース/ドレイン領域の表面にピュアな酸化シリコンよりも絶縁層を形成してもよい。酸化シリコンよりも絶縁層を形成する工程としては、図1(b)に示すようにゲート電極を形成した後に、ゲート電極の両側の窒化酸化シリコン層を除去し、さらに、窒化酸化シリコン層を除去した部分のシリコン基板の表面を再酸化する方法がある。この場合、ドレイン領域の不純物濃度やゲート長などの条件によってホットキャリア効果が少なく、しかも、ゲート電極の縁部での耐圧劣化防止を図りたい場合や、膜厚を安定して得たい場合には最適である。膜厚を安定して得たい場合としては、例えばLDD構造の浅い不純物拡散層を形成する際にイオン注入によって入る不純物の深さを安定させたい場合がある。

【0059】また、窒化酸化シリコン層を除去する場合に、僅かでも窒化酸化シリコン層を残しておき、その後でシリコン基板の表面を酸化する方法もある。この場合には僅かであるが窒素を含むためにホットキャリア耐性は少し期待できる。また、その工程によれば、シリコン基板の表面を露出させないので、基板のダメージやエッティングが防止される。

【0060】

【発明の効果】以上述べたように本発明によれば、MOSトランジスタの半導体基板とゲート電極の間のゲート

絶縁層として使用する第1の窒化酸化層内の膜厚方向の窒素濃度分布と、ゲート電極の両側方でソース／ドレイン領域を覆う絶縁層として使用する第2の窒化酸化層内の膜厚方向の窒素濃度分布を異ならせるようにし、例えば第1の窒化酸化層の窒素濃度分布としては、プロードに窒素を分布させたりゲート電極との界面に窒素を偏析させ、さらに、第2の窒化酸化層の窒素濃度分布として半導体基板との界面に窒素を偏析させるようにしたので、これにより、第1の窒化酸化層での窒素濃度分布により、不純物イオン注入の際に突き抜けにくく且つキャリアトラップが少なくするとともに、第2の窒化シリコン層での窒素濃度分布によりホットキャリア耐性を向上することができる。

【図面の簡単な説明】

【図1】図1(a)～(d)は、本発明の実施形態におけるMOSトランジスタの第1の工程を示す断面図である。

【図2】図2(a)～(d)は、本発明の実施形態におけるMOSトランジスタの第2の工程を示す断面図である。

【図3】図3は、本発明の実施形態に係るMOSトランジスタのゲート絶縁層として使用される窒化酸化層の構成元素の濃度分布を示す図であり、縦軸は対数目盛、横軸は比例目盛りである(目盛については図4、図5、図6及び図8も同様である)。

【図4】図4は、本発明の実施形態に係るMOSトランジスタのソース／ドレイン領域を覆う第1の窒化酸化層の構成元素の濃度分布を示す図である。

【図5】図5は、本発明の実施形態に係るMOSトランジスタのソース／ドレイン領域を覆う第2の窒化酸化層の構成元素の濃度分布を示す図である。

【図6】図6は、本発明の実施形態に係るMOSトランジスタのソース／ドレイン領域を覆う第3の窒化酸化層の構成元素の濃度分布を示す図である。

【図7】図7(a)は、 SiO_2 層と窒素が偏析した4種類のSiON層のそれぞれに注入条件を変えてホウ素をイオン注入した後のMOSトランジスタの閾値の変化を示す特性図、図7(b)は、膜厚方向に窒素がプロードに分布するSiON層に注入条件を変えてホウ素をイオン注入した後のMOSトランジスタの閾値の変化を示す特性図であり、図7(a)、(b)の縦軸及び横軸は比例目盛である。

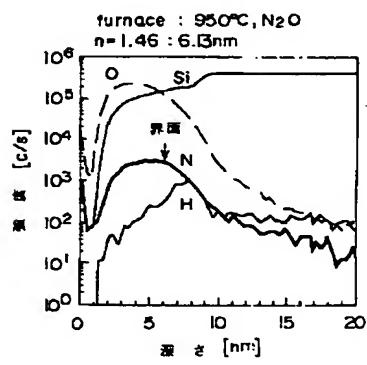
【図8】図8は、本発明の実施形態に係るMOSトランジスタのゲート絶縁層として使用される膜厚4.3nmの窒化酸化層の構成元素の濃度分布を示す図である。

【図9】図9(a)～(d)は、従来の一般的なMOSトランジスタの製造工程を示す断面図である。

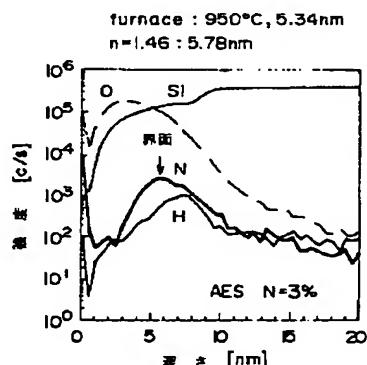
【符号の説明】

- 1 シリコン基板(半導体基板)
- 2 素子分離酸化層
- 3 nウェル
- 4 窒化酸化シリコン層(ゲート絶縁層)
- 4a, 4b 窒化酸化シリコン層
- 5 ゲート電極
- 6s ソース層
- 6d ドレイン層
- 7s, 7d 低濃度不純物拡散層
- 8 サイドウォール
- 9s, 9d 高濃度不純物拡散層
- 10s ソース領域
- 10d ドレイン領域

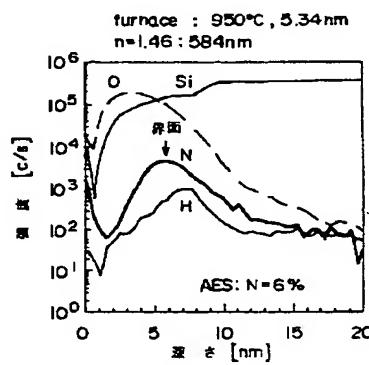
【図3】



【図4】



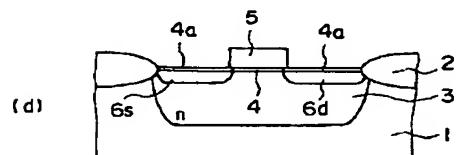
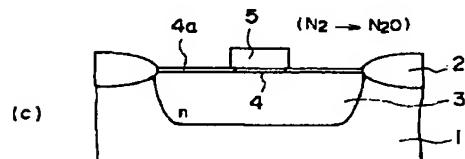
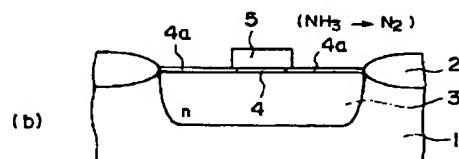
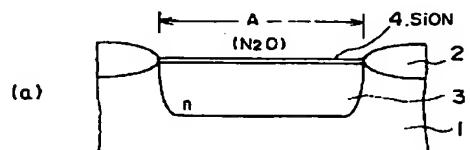
【図5】



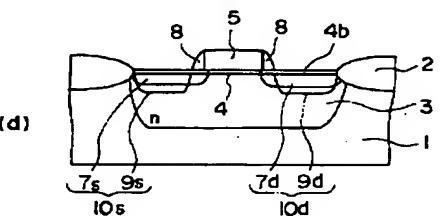
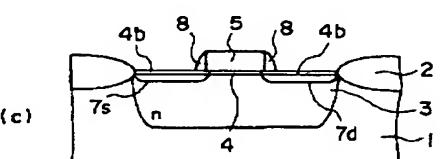
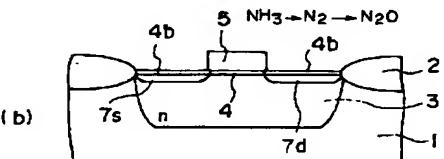
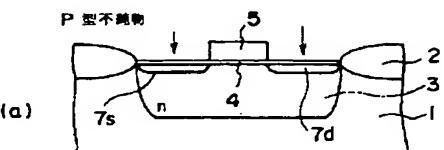
(9)

特開平10-256539

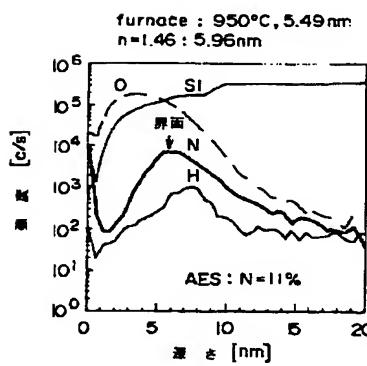
【図1】



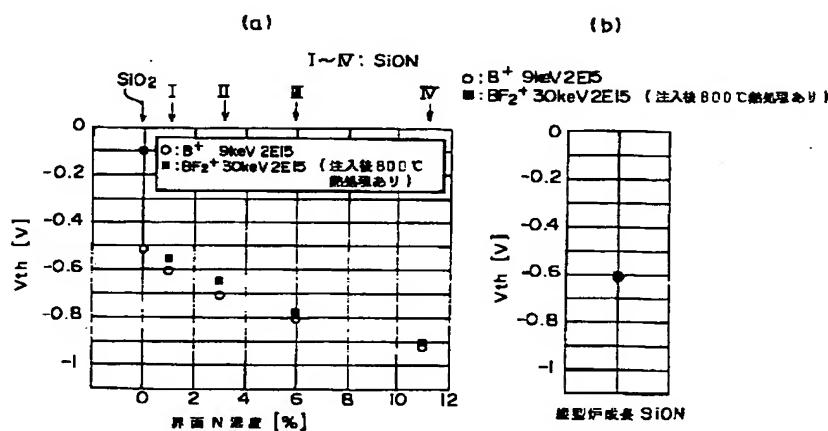
【図2】



【図6】



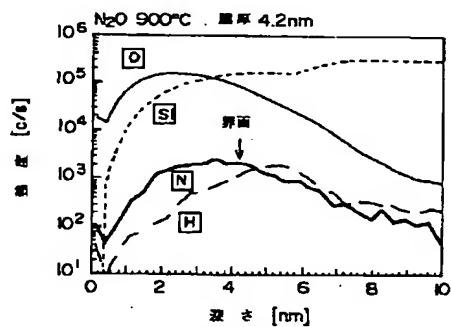
【図7】



(10)

特開平10-256539

【図8】



【図9】

